

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-268317

(43)Date of publication of application : 22.09.1994

(51)Int.Cl. H01S 3/18

(21)Application number : 05-051883

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 12.03.1993

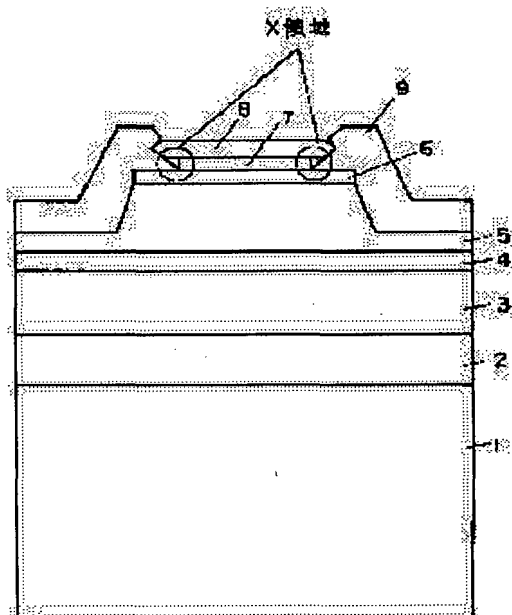
(72)Inventor : ISHIBASHI AKIHIKO  
KIDOGUCHI ISAO  
OTA HIROYUKI  
ONAKA SEIJI

## (54) FABRICATION OF SEMICONDUCTOR LASER

## (57)Abstract:

PURPOSE: To fabricate single transverse mode control semiconductor lasers at high yield by producing a ridge filling structure without causing any defect on the interface of recrystallization.

CONSTITUTION: An n-butter layer 2, an n-clad layer 3, an active layer 4, a p-clad layer 5, a p-intermediate layer 6, and a p-cap layer 7 are deposited sequentially on an n-GaAs substrate 1. An SiO<sub>2</sub> mask 8 and a resist are deposited thereon with the resist being formed in stripe. SiO<sub>2</sub> mask 8 is then etched except the stripe. Subsequently, all p-cap layer 7, the p-intermediate layer 6, and a part of the p-clad layer 5 are removed by wet and dry etching to form a ridge. The SiO<sub>2</sub> mask 8 is made narrower than the ridge stripe by etching and the gap produced by side etching of the p-cap layer 7 at the time of forming the ridge stripe can be made narrower. Defective n-GaAs crystal under the SiO<sub>2</sub> mask 8 is isolated from an n-current constriction layer 9 and not deposited.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-268317

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.<sup>5</sup>

H01S 3/18

識別記号

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数2 OL (全6頁)

(21)出願番号 特願平5-51883

(22)出願日 平成5年(1993)3月12日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 石橋 明彦

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 木戸口 勲

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 大田 啓之

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 小鍛冶 明 (外2名)

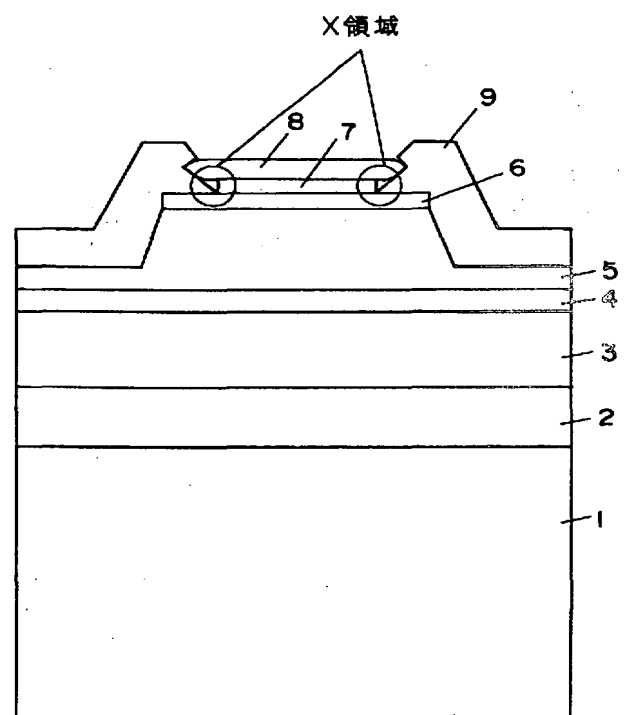
最終頁に続く

(54)【発明の名称】 半導体レーザの製造方法

(57)【要約】

【目的】 再結晶界面に欠陥を生成することなくリッジ埋め込み構造を作成し、単一横モード制御型半導体レーザを高歩留まりで製造する。

【構成】 n-GaAs基板1上にn-バッファ層2、n-クラッド層3、活性層4、p-クラッド層5、p-中間層6、p-キャップ層7を順次堆積する。次にSiO<sub>2</sub>マスク8及びレジストを堆積し、レジストをストライプ状に形成する。ストライプ以外のSiO<sub>2</sub>マスク8をエッチングする。次にウエット及びドライエッチングによりストライプ部分を除くすべてのp-キャップ層7、p-中間層6、及び一部のp-クラッド層5をエッチング除去しリッジ形状にする。SiO<sub>2</sub>マスク8はエッチングされて、その幅はリッジストライプの幅よりも小さくなり、リッジストライプ形成時にp-キャップ層7のサイドエッチによって生じた隙間を小さくできる。SiO<sub>2</sub>マスク8の下に欠陥の多いn-GaAs結晶がn-電流狭窄層9から分離して堆積しない。



(2)

## 【特許請求の範囲】

【請求項1】 活性層とクラッド層を含む半導体多層膜を有した基板において、ストライプ状の誘電体膜を形成する工程と、前記誘電体膜をマスクとしてエッチングにより誘電体膜と半導体膜を含むリッジストライプを形成した後、エッチングによりマスク幅を前記ストライプ幅よりも細くする工程と、前記リッジストライプ周囲に電流狭窄層を選択成長する工程と、エッチングによりマスクを除去した後、電流注入層を形成する工程からなることを特徴とする半導体レーザの製造方法。

【請求項2】 エピタキシャル成長が有機金属気相成長法である請求項1記載の半導体レーザの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は単一横モード制御型半導体レーザを高歩留まりで製造することを目的とする。特に $(\text{Al}_x\text{Ga}_{1-x})\text{YIn}_1\text{-yP}$ 系半導体レーザに関する。

## 【0002】

【従来の技術】  $(\text{Al}_x\text{Ga}_{1-x})\text{YIn}_1\text{-yP}$ 系半導体レーザは可視光領域で発振し、バーコードリーダ、レーザビームプリンターや光ディスク等の光情報処理用光源としての用途があり、最近ますますその重要性を増している。

【0003】 以下、従来例を用いてダブルヘテロ構造の横モード制御型赤色半導体レーザの構造及び製造方法について説明する。

【0004】 図5に示すようにn-GaAs基板1上にn-GaAsバッファ層2、n- $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層3、 $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 活性層4、p- $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層5、p- $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 中間層6、p-GaAsキャップ層7を第一の結晶成長で有機金属気相成長法(MOVPE法)等の結晶成長技術を用いて堆積する(図5、a)。次に $\text{SiO}_2$ 等の誘電体マスク8及びレジスト11を堆積した後(図5、b)、マスクを用いてフォトリソグラフィ技術によりレジスト11をストライプ状に形成する(図5、c)。次にドライエッチングによりストライプ以外の $\text{SiO}_2$ マスク8をエッチングした後、ストライプ上のレジストを除去する(図5、d)。次にウェットエッチング及びドライエッチングによりストライプ部分を除くすべてのp-GaAsキャップ層7、p- $\text{Ga}_{0.5}\text{In}_{0.5}\text{P}$ 中間層6、及び一部のp- $(\text{Al}_{0.7}\text{Ga}_{0.3})_{0.5}\text{In}_{0.5}\text{P}$ クラッド層5をエッチング除去し、ストライプ部分をリッジ形状にする(図5、e、f)。次に図7に示すように第二の結晶成長によりn-GaAs電流狭窄層9を $\text{SiO}_2$ マスク8以外に選択的に堆積した後、図8のように $\text{SiO}_2$ マスク8を除去し、第三の結晶成長によりp-GaAsコンタクト層10を堆積する。

【0005】 このような半導体レーザの構造ではn-GaAs電流狭窄層9により注入キャリアを活性層中心に狭窄でき、またリッジ形状の最適化により単一横モード条件を満足する実効屈折率差をリッジストライプ内外につける

ことができるので光を効果的にストライプ内の活性層近傍に閉じ込めることができる。

## 【0006】

【発明が解決しようとする課題】 ところが、従来の製造方法ではリッジストライプを形成する際のウェットエッチング時に $\text{SiO}_2$ マスク8で覆われたp-GaAsキャップ層7の一部(図6、A領域)がサイドエッチングされる。そしてこのままひき続いて第二の結晶成長を行うと図7に示すように本来のn-GaAs電流狭窄層9から分離してA領域にn-GaAs結晶が成長し、B領域に空洞ができてしまう。MOVPE法による結晶成長ではV族元素の原料として $\text{AsH}_3$ 等を使用するが、第二の結晶成長時にB領域のような空洞ができるとB領域の表面においてV族解離を防止するのに十分な $\text{AsH}_3$ を供給することができないので、B領域表面はV族の空格子欠陥の多い質の悪い結晶となる。さらに、 $\text{SiO}_2$ マスク8を除去した後、第三の結晶成長によりp-GaAsコンタクト層10を堆積すると図8に示すようにB領域に空洞が生じたり、あるいは空洞が生じなくても、もともとB領域表面の結晶性は悪いのでB領域の再成長界面には多くの欠陥が生成し、レーザ動作時にキャリアを注入した場合、B領域で非発光再結合が生じてしきい値電流が上がってしまうという問題があった。

【0007】 また第二の結晶成長で本来のn-GaAs電流狭窄層9から分離してA領域に成長するn-GaAs結晶の形状及び大きさはp-GaAsキャップ層7のサイドエッチング状態の僅かなバラツキによって異なり、ストライプ上でキャリアが活性層側に通過できる実効的なストライプ幅にバラツキが生じるので、レーザしきい値電流はバラツキを持つ。したがってレーザチップの歩留まりが低下するという問題があった。

【0008】 この発明の目的は、以上のような課題を解決し、リッジストライプ構造を持った単一横モード制御型半導体レーザを歩留まり良く製造する方法を提供することである。

## 【0009】

【課題を解決するための手段】 上記課題を解決するための手段としてリッジストライプ構造を有する段差基板上の選択成長において、エッチング除去により誘電体マスクの幅をリッジストライプ幅よりも狭くすることにより、リッジストライプ形成時に誘電体マスク下部の半導体膜の一部がサイドエッチングされたことによって生じた隙間を小さくする。

## 【0010】

【作用】 上記本発明の半導体レーザの製造方法によれば、エッチング除去により誘電体マスクの幅をリッジストライプ幅よりも狭くすることによりリッジストライプ形成時に誘電体マスク下部の半導体膜の一部がサイドエッチングされたことによって生じた隙間を小さくすることができるので、第二の結晶成長でn-GaAs電流狭窄層9

(3)

3

を堆積するとき小さなn-GaAs結晶がn-GaAs電流狭窄層9から分離して成長することがないので、いかなる第二の結晶成長においても安定して決まったn-GaAs電流狭窄層9の形状が得られる。さらに第三の結晶成長時ににおいて再結晶界面に空洞や欠陥を誘起することがない。

## 【0011】

【実施例】以下、本発明の実施例を図面を参照しながら説明する。

【0012】図2に示すように、例えばMOVPE法の結晶成長方法を用いて、まず第一の結晶成長によりn-GaAs基板1上にn-GaAsバッファ層2、n-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>Pクラッド層3、Ga<sub>0.5</sub>In<sub>0.5</sub>P活性層4、p-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>Pクラッド層5、p-Ga<sub>0.5</sub>In<sub>0.5</sub>P中間層6、p-GaAsキャップ層7を順次堆積する(図2、a)。原料ガスとしてはTMG(トリメチルガリウム)、TMA(トリメチルアルミニウム)、TMI(トリメチルインジウム)、AsH<sub>3</sub>(アルシン)、PH<sub>3</sub>(ホスフィン)、SiH<sub>4</sub>(モノシラン)、DEZ(ジエチルジシラン)を用いた。次にSiO<sub>2</sub>マスク8及びレジスト11を堆積した後(図2、b)、マスクを用いてフォトリソグラフィ技術によりレジスト11をストライプ状に形成する(図2、c)。次にドライエッチングによりストライプ以外のSiO<sub>2</sub>マスク8をエッチングした後、ストライプ上のレジストを除去する(図2、d)。次にウェットエッチング及びドライエッチングによりストライプ部分を除くすべてのp-GaAsキャップ層7、p-Ga<sub>0.5</sub>In<sub>0.5</sub>P中間層6、及び一部のp-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>Pクラッド層5をエッチング除去し、ストライプ部分をリッジ形状にする(図2、e、f)。次にHF:NH<sub>4</sub>F=1:5の液を用いて20秒間エッチングする。これによりSiO<sub>2</sub>マスク8はエッチングされて、その幅は図3のようにリッジストライプの幅よりも小さくなり、リッジストライプ形成時にp-GaAsキャップ層7のサイドエッチングによって生じた隙間(A領域)を小さくできる。図3の破線はSiO<sub>2</sub>マスク8のエッチング前の形状である。次に図1に示すように第二の結晶成長によりn-GaAs電流狭窄層9をSiO<sub>2</sub>マスク8以外に選択的に堆積した後、SiO<sub>2</sub>マスク8を除去する。次に図4に示すように第三の結晶成長によりp-GaAsコンタクト層10を堆積する。最後にp-GaAsコンタクト層10側に陽電極、n-GaAs基板1側に陰電極を形成する。

【0013】SiO<sub>2</sub>マスク8をエッチングし、リッジストライプ形成時にp-GaAsキャップ層7のサイドエッチングによって生じた隙間(図3、A領域)を小さくすると、図1に示すように、第二の結晶成長時ににおいてn-GaAs電流狭窄層9はSiO<sub>2</sub>マスク8の下部で分離して堆積することがない。

【0014】ところが従来の製造方法のようにp-GaAsキャップ層7のサイドエッチングで生じた隙間(図3、A領域)をそのままにして第二の結晶成長を行うと図7に示すように本来のn-GaAs電流狭窄層9から分離してA領

4

域にn-GaAs結晶が成長し、B領域に空洞ができてしまう。MOVPE法による結晶成長ではV族元素の原料としてAsH<sub>3</sub>等を使用するが、第二の結晶成長時にB領域のような空洞ができるとB領域の表面においてV族解離を防止するのに十分なAsH<sub>3</sub>を供給することができないので、B領域表面はV族の空格子欠陥の多い質の悪い結晶となる。この基板に対しSiO<sub>2</sub>マスク8を除去した後、第三の結晶成長によりp-GaAsコンタクト層10を堆積すると図8に示すようにB領域に空洞が生じたり、あるいはもともとB領域表面の結晶性は悪いのでB領域の再成長界面には多くの欠陥が生成し、レーザ動作時にキャリアを注入した場合、B領域で非発光再結合が生じてしきい値電流が上がってしまう。

【0015】本発明のように第二の結晶成長時ににおいてn-GaAs電流狭窄層9がSiO<sub>2</sub>マスク8の下部で分離して堆積することがないとn-GaAs電流狭窄層9の表面全体に対し、成長のほぼ終了時までV族元素の原料であるAsH<sub>3</sub>を供給でき、図1のX領域にあるn-GaAs電流狭窄層9表面にも欠陥が生じにくい。さらに図4に示すようにこの基板に対しSiO<sub>2</sub>マスク8を除去した後、第三の結晶成長を行った場合、n-GaAs電流狭窄層9の表面には小さな空洞がないのでp-GaAsコンタクト層10の堆積時に再結晶成長界面に空洞や欠陥が生じたりすることがない。したがって、無用な非発光再結合がなくなるので、レーザしきい値の上昇が回避できる。

【0016】また、本発明によればリッジストライプ形成時のサイドエッチングによって生じた隙間を小さくすることができ、第二の結晶成長でn-GaAs電流狭窄層9を堆積するとき小さなn-GaAs結晶がn-GaAs電流狭窄層9から分離して成長することがないので、いかなる第二の結晶成長においても安定して決まったn-GaAs電流狭窄層9の形状が得られる。したがって従来のようにA領域に小さなn-GaAs結晶がn-GaAs電流狭窄層9から分離して堆積した場合、その形状はA領域のサイドエッチングの状態に依存して異なるので、注入キャリアが通過する実効的なストライプ幅にバラツキが生じるということがなくなるので、レーザチップの歩留まりが上がる。

【0017】なお、本実施例ではSiO<sub>2</sub>マスク8の幅はサイドエッチングされたp-GaAsキャップ層7の幅の大きさとリッジストライプの幅の大きさの間で説明したが、SiO<sub>2</sub>マスク8の幅の大きさをサイドエッチングされたp-GaAsキャップ層7の幅の大きさと同じにしても同様の効果があることは言うまでもない。

【0018】また本実施例ではIII-V族化合物半導体で説明したが他のII-VI族化合物半導体でも同様の効果が得られることは勿論である。

## 【0019】

【発明の効果】本発明の半導体レーザの製造方法によればSiO<sub>2</sub>マスク8をエッチングし、リッジストライプ形成時にp-GaAsキャップ層7のサイドエッチングによって生

(4)

5

じた隙間を小さくすることにより第二の結晶成長時においてn-GaAs電流狭窄層9をSiO<sub>2</sub>マスク8の下部に分離して堆積することがないので、再結晶成長界面に空洞や欠陥を生成することがない。したがって非発光再結合がほとんど起こらない良質な結晶成長ができるのでレーザしきい値電流の上昇を回避できる。

【0020】さらに本発明によれば、リジストライプ形成時のサイドエッチングによって生じた隙間を小さくすることができ、第二の結晶成長でn-GaAs電流狭窄層9を堆積するとき小さなn-GaAs結晶がn-GaAs電流狭窄層9から分離して成長することがないので、いかなる第二の結晶成長においても安定して決まったn-GaAs電流狭窄層9の形状が得られる。したがって注入キャリアが通過する実効的なストライプ幅にバラツキが生じるということがなくなるので、レーザチップの歩留まりが上がる。

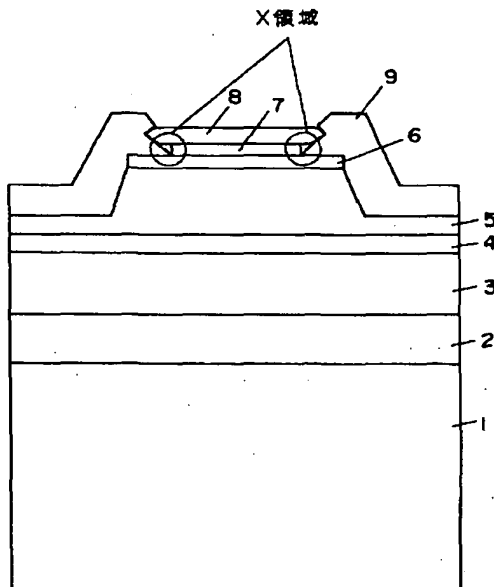
【図面の簡単な説明】

【図1】本発明の半導体レーザの製造方法の一工程での素子断面図

【図2】本発明の半導体レーザの製造工程を表す工程順断面図

【図3】本発明の半導体レーザの製造方法の一工程での素子断面図

【図1】



6

【図4】本発明の半導体レーザの製造方法の一工程での素子断面図

【図5】従来の半導体レーザの製造工程を表す工程順断面図

【図6】従来の半導体レーザの製造方法の一工程での素子断面図

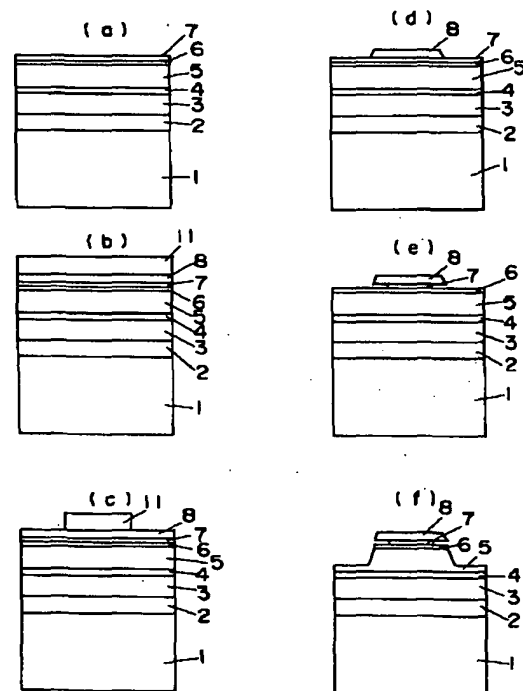
【図7】従来の半導体レーザの製造方法の一工程での素子断面図

【図8】従来の半導体レーザの製造方法の一工程での素子断面図

【符号の説明】

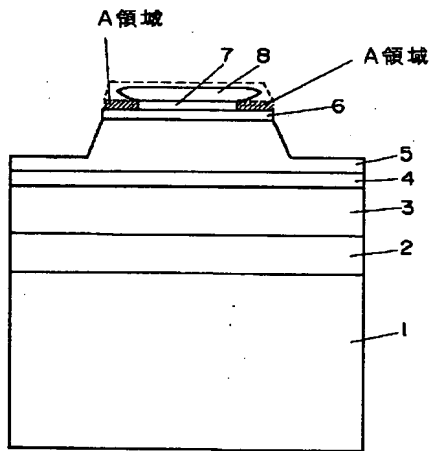
- 1 n-GaAs基板
- 2 n-GaAsバッファ層
- 3 n-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>Pクラッド層
- 4 Ga<sub>0.5</sub>In<sub>0.5</sub>P活性層
- 5 p-(Al<sub>0.7</sub>Ga<sub>0.3</sub>)<sub>0.5</sub>In<sub>0.5</sub>Pクラッド層
- 6 p-Ga<sub>0.5</sub>In<sub>0.5</sub>P中間層
- 7 p-GaAsキャップ層
- 8 SiO<sub>2</sub>マスク
- 9 n-GaAs電流狭窄層
- 10 p-GaAsコンタクト層
- 11 レジスト

【図2】

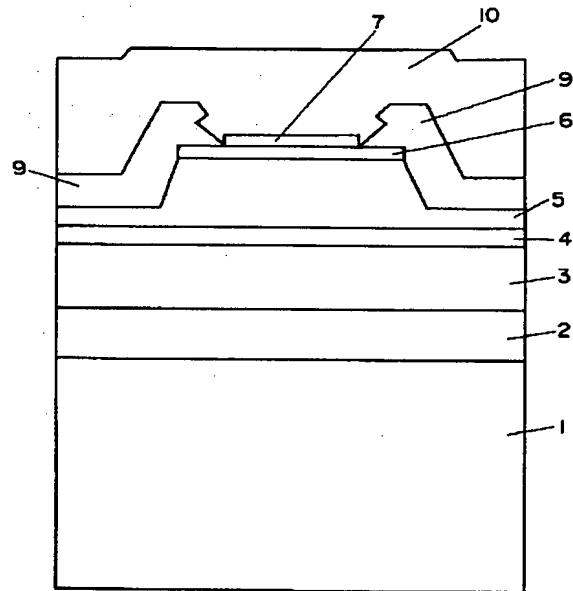


(5)

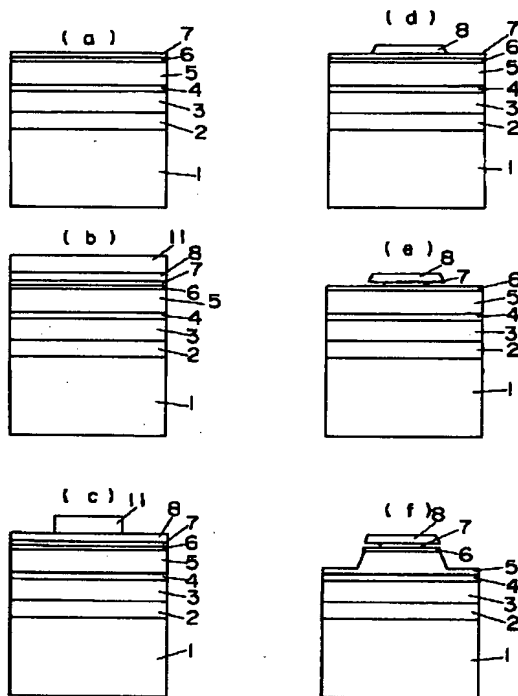
【図3】



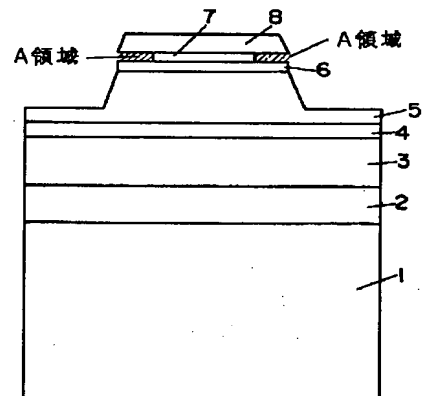
【図4】



【図5】

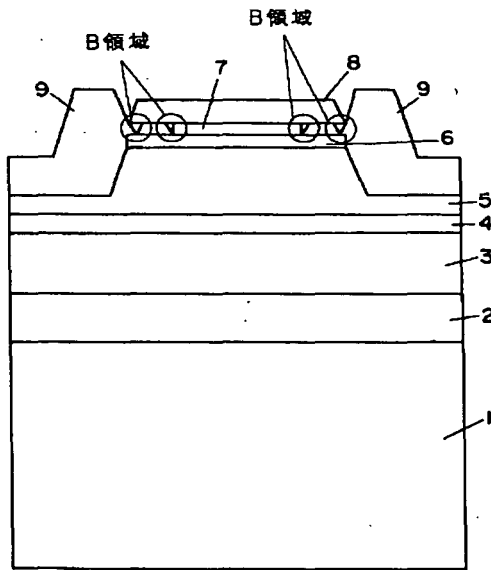


【図6】

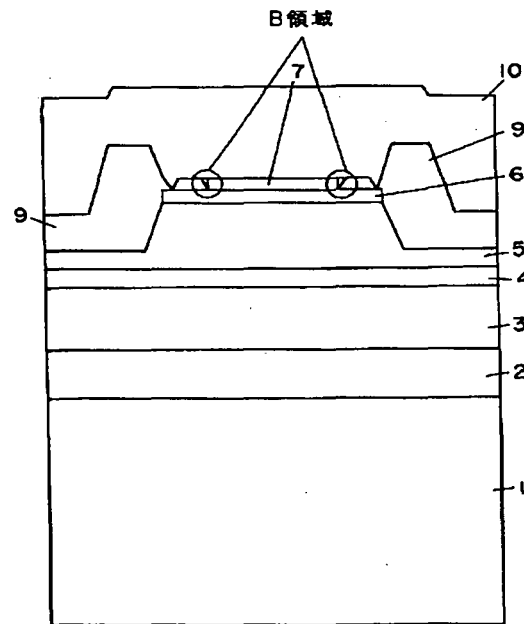


(6)

【図7】



【図8】



フロントページの続き

(72)発明者 大仲 清司  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内